

Tecnologia VLSI - Uma Breve Introdução*

S. W. Song

MAC 412 - Organização de Computadores

*baseado em parte em Mead and Conway - Introduction to VLSI Systems, Addison-Wesley

Tecnologia VLSI

Tecnologia de microeletônica que integra uma grande quantidade de dispositivos eletrônicos (transistores) numa pastilha (chip).

- **SSI** (Small Scale of Integration)

MSI (Medium Scale of Integrations)

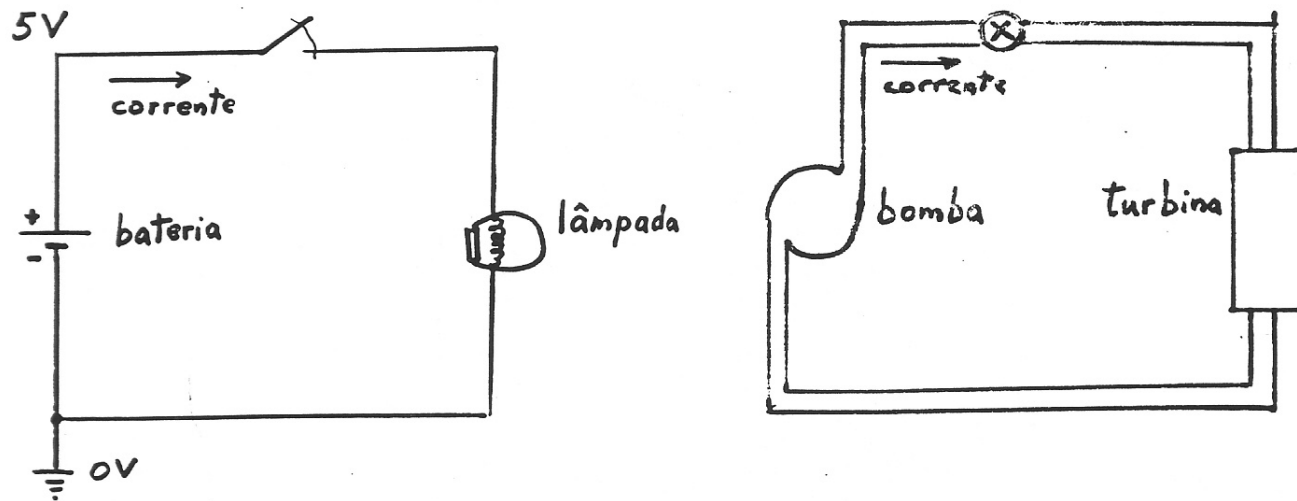
Integram de dezenas ou centenas a milhares de transistores.

- **LSI** (Large Scale of Integration)

VLSI (Very Large Scale of Integrations)

Integram mais de milhões de transistores.

Analogia



carga elétrica

corrente elétrica

voltagem

bateria

resistor

capacitor

gota de água

corrente de água

pressão

bomba

turbina

tanque de água

Transistor MOS

MOS = Metal Oxide Semiconductor

- Veremos o transistor MOS, que nada mais é uma chavinha minúscula (abre e fecha) feito de semicondutor (**Silício Si**).
- Mas antes, para motivar vocês, veremos o tamanho de um transistor e a sua evolução no tempo.
- Suponha que um chip, ao invés de conter um monte de dispositivos eletrônicos (**transistores**), contém regiões geográficas (**ruas, casas, prédios, praças**, etc).

Tamanho de um Transistor MOS

Tamanho (largura) de um transistor:

1963 24 μm

1978 5 μm

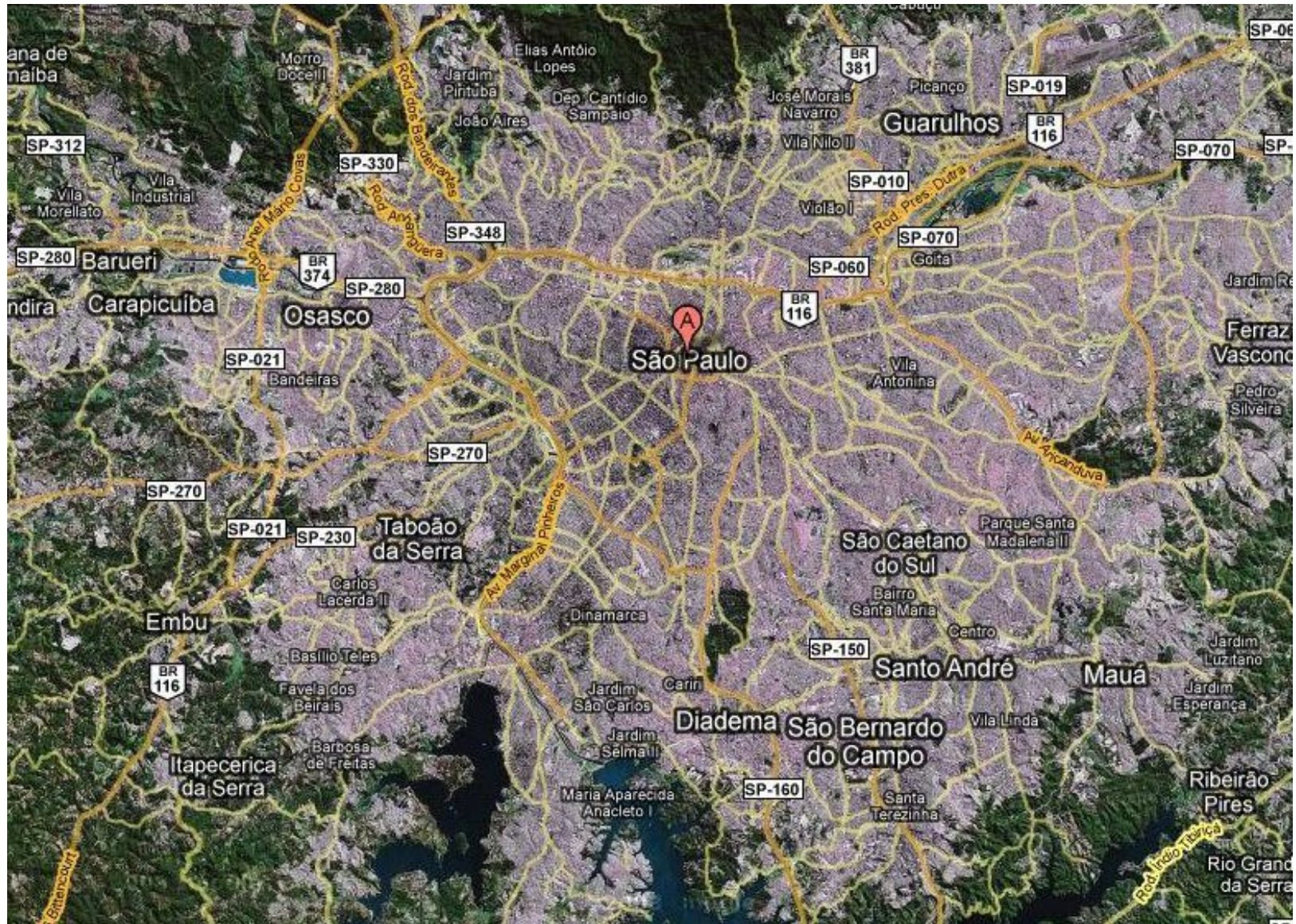
1990 1 μm

2005 0,1 μm

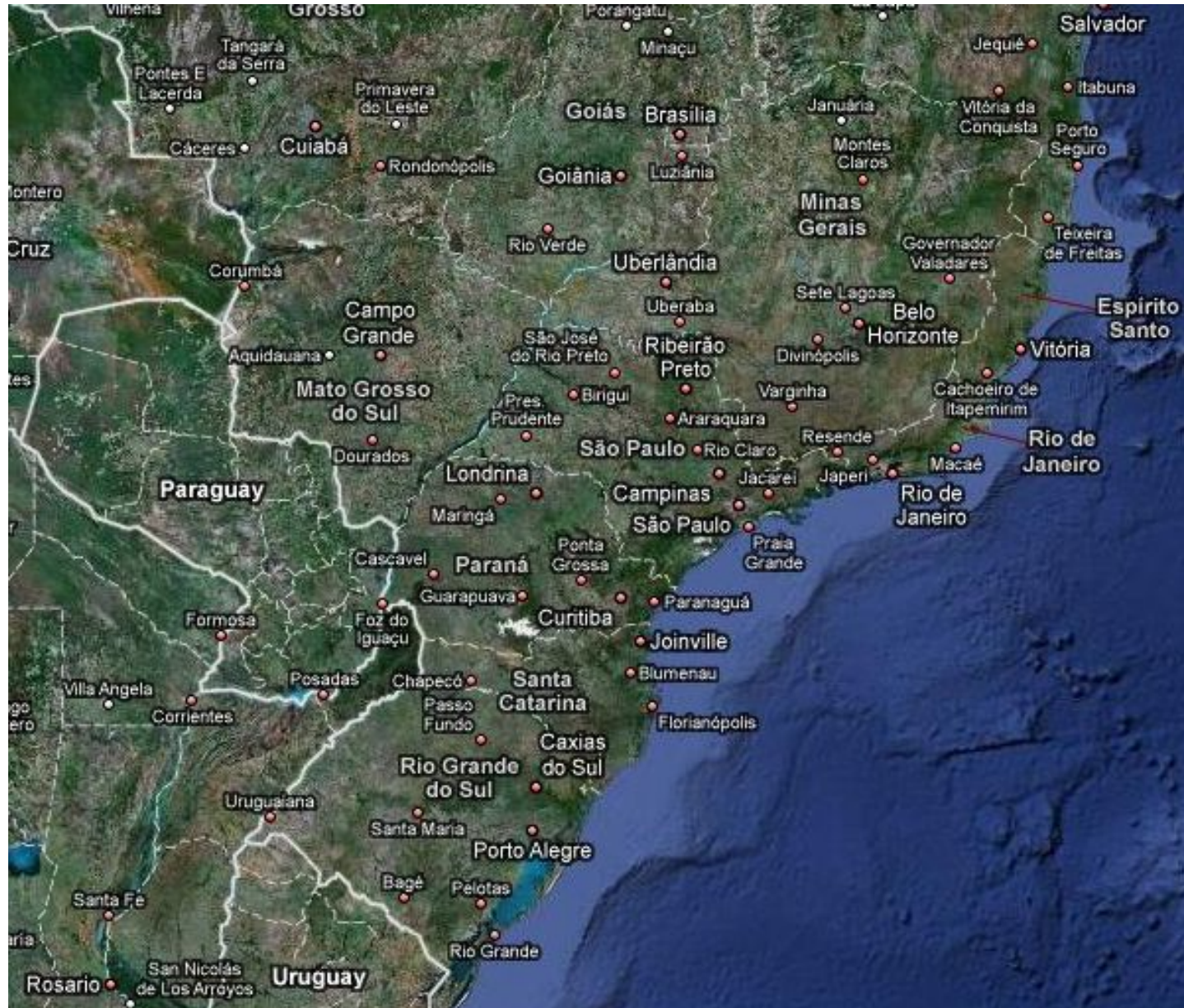
1963 - tamanho 24 μm



1978 - tamanho 5 μm



1990 - tamanho 1 μm



2005 - tamanho 0,1 μm

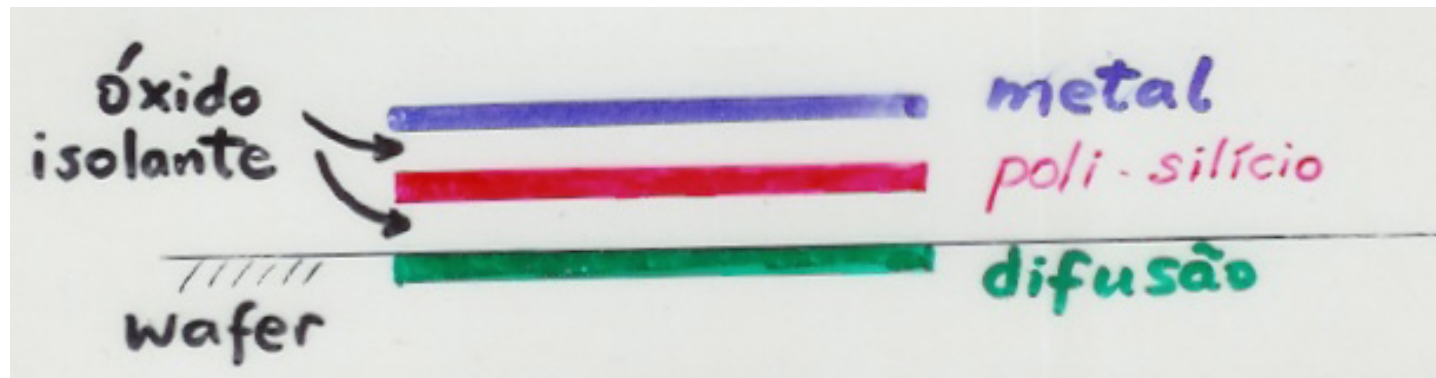


Tecnologia MOS

As explicações são bem simplificadas (usando a NMOS) para facilitar o entendimento. CMOS é a tecnologia do momento.

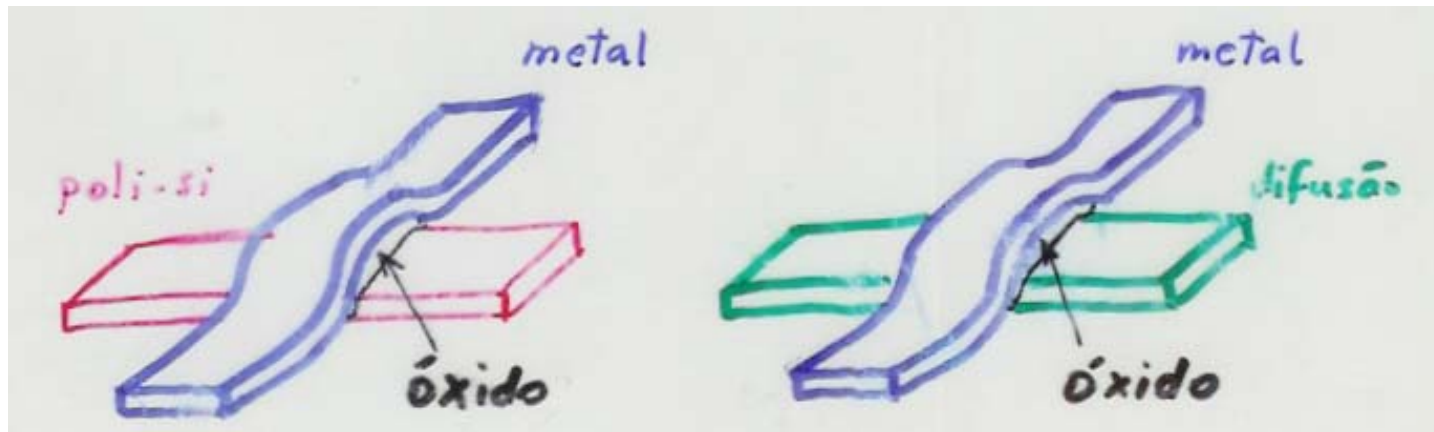
Num substrato de Silício (wafer de Si) são depositadas 3 camadas de material condutor: metal, polisilício, difusão.

As 3 camadas são separadas por óxido (isolante).



Sobreposição de camadas

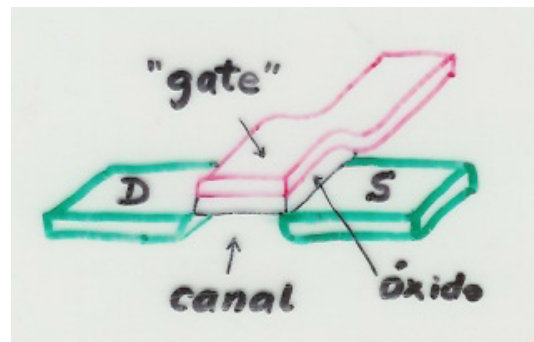
- Uma trilha de metal pode cruzar uma trilha de **polisilício** ou de **difusão** sem produzir efeito significativo.



Sobreposição de camadas pode produzir um transistor

Se uma trilha de **polisilício** cruzar uma trilha de **difusão**, então aparece um transistor MOS.

Seja voltagem $V_{DS} > 0$. Seja V_{lim} uma pequena voltagem limiar, característica do material. Sem carga no *gate*: o circuito entre D e S está interrompido, logo não passa corrente. Com carga no *gate*: elétrons livres concentram-se na região do canal (pois carga positiva atrai carga negativa), então basta termos a voltagem entre o *gate* G e S maior que a voltagem limiar, ou seja $V_{GS} > V_{lim}$, para permitir a passagem de corrente de D para S , onde O transistor MOS atua como uma chave liga-desliga.



Transistor MOS

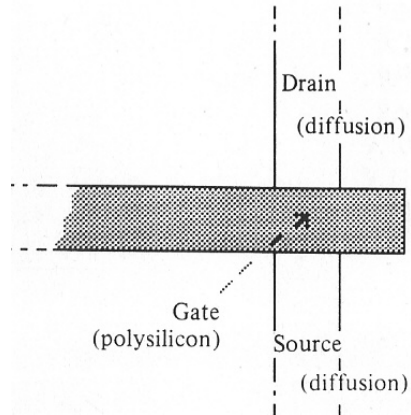


Fig. 1.1 MOS transistor, top view.

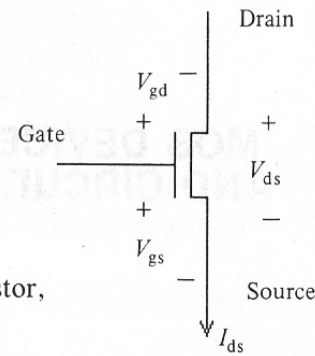
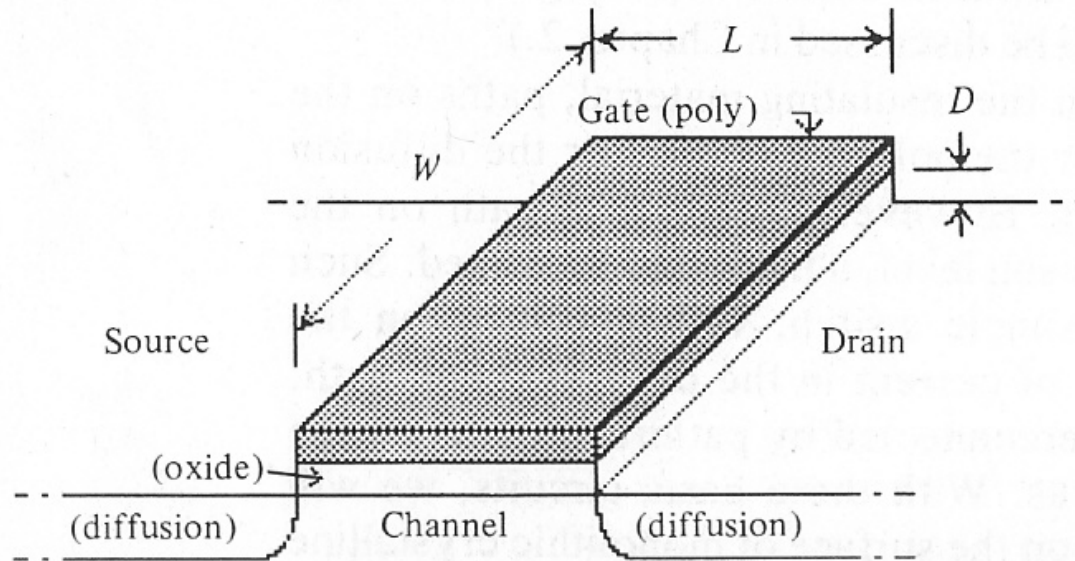


Fig. 1.2 MOS transistor symbol, subscripts in + to - direction sequence.



Porta NÃO

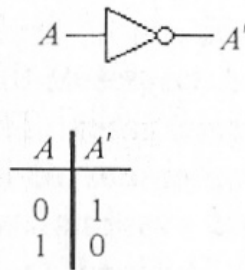
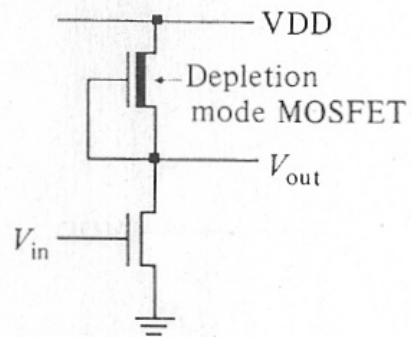


Fig. 1.7 The basic inverter circuit diagram, logic symbol, and logic function.

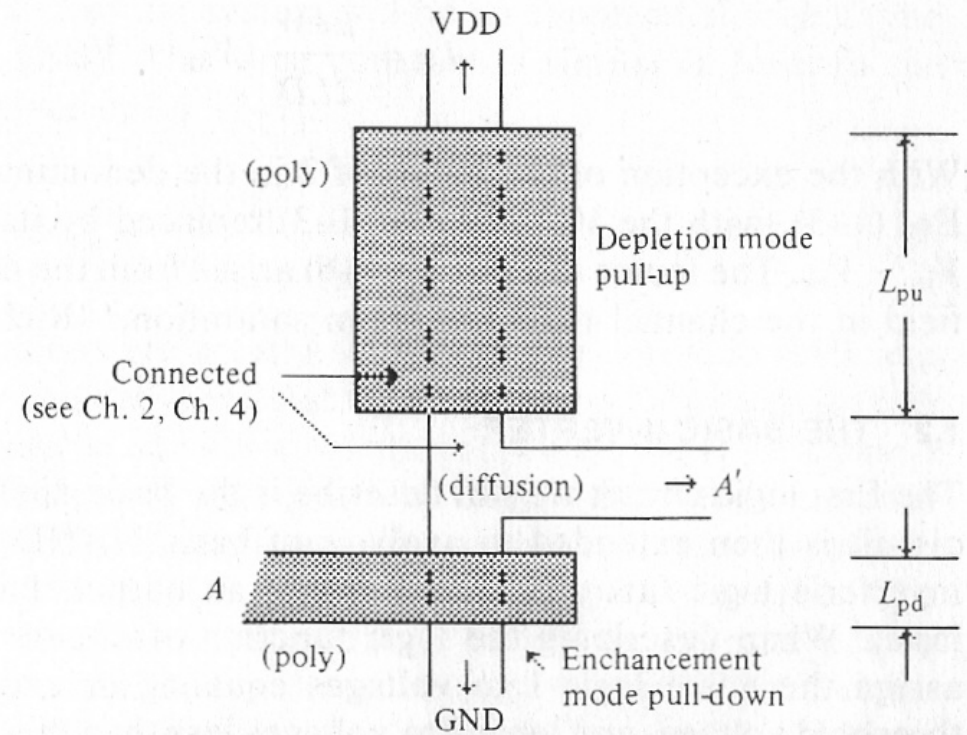
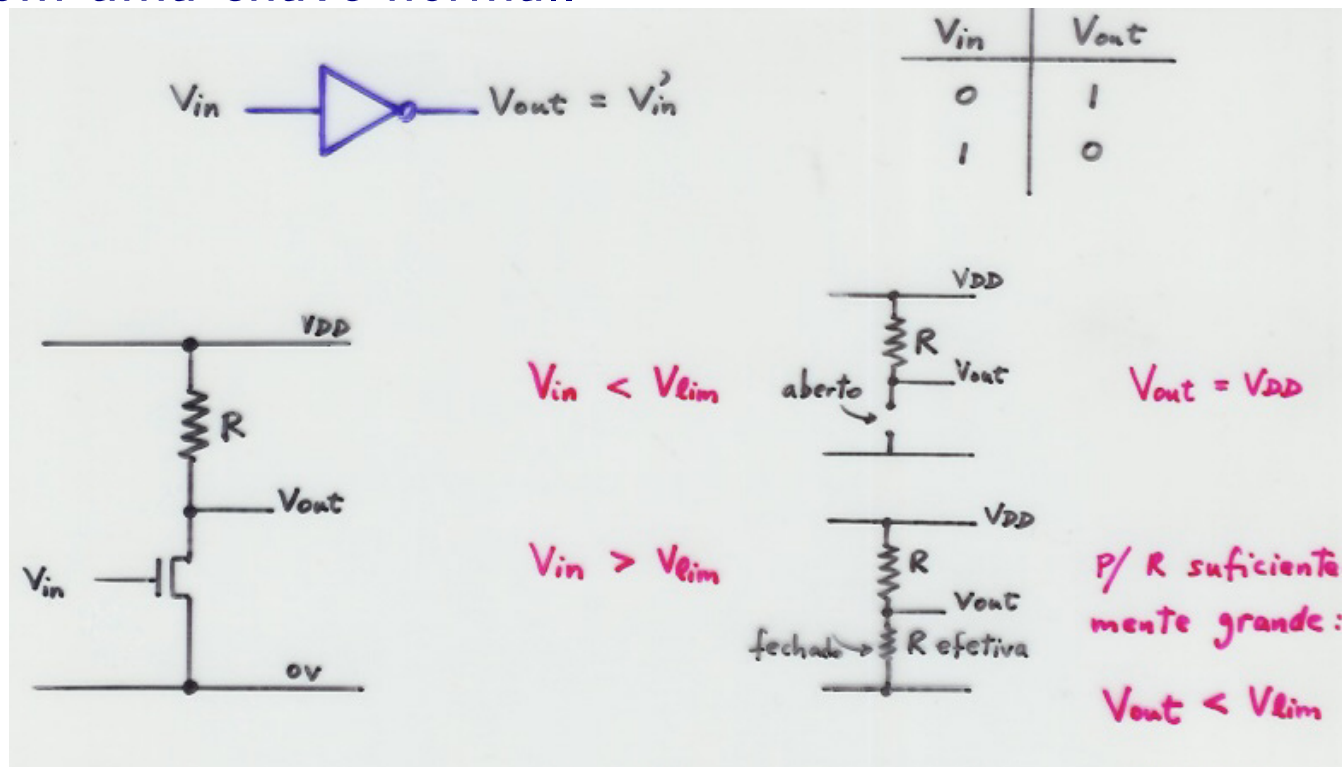


Fig. 1.8 Basic inverter layout.

Porta NÃO - explicação

Na porta NÃO, há dois transistores (uma trilha de **polisilício** cruzando uma trilha de **difusão**). O transistor de cima (chamado transistor *pull-up pu*) foi fabricado para sempre permitir a passagem de corrente. O seu papel é funcionar como resistência. O transistor de baixo (chamado *pull-down pd*) funciona com uma chave normal.



Porta NÃO - dimensões dos transistores

- Um transistor em estado de condução (passando corrente) possui uma pequena resistência R cujo valor é diretamente proporcional ao comprimento L e inversamente proporcional à largura W .

$$R = \alpha \frac{L}{W}, \text{ onde } \alpha \text{ é uma constante.}$$

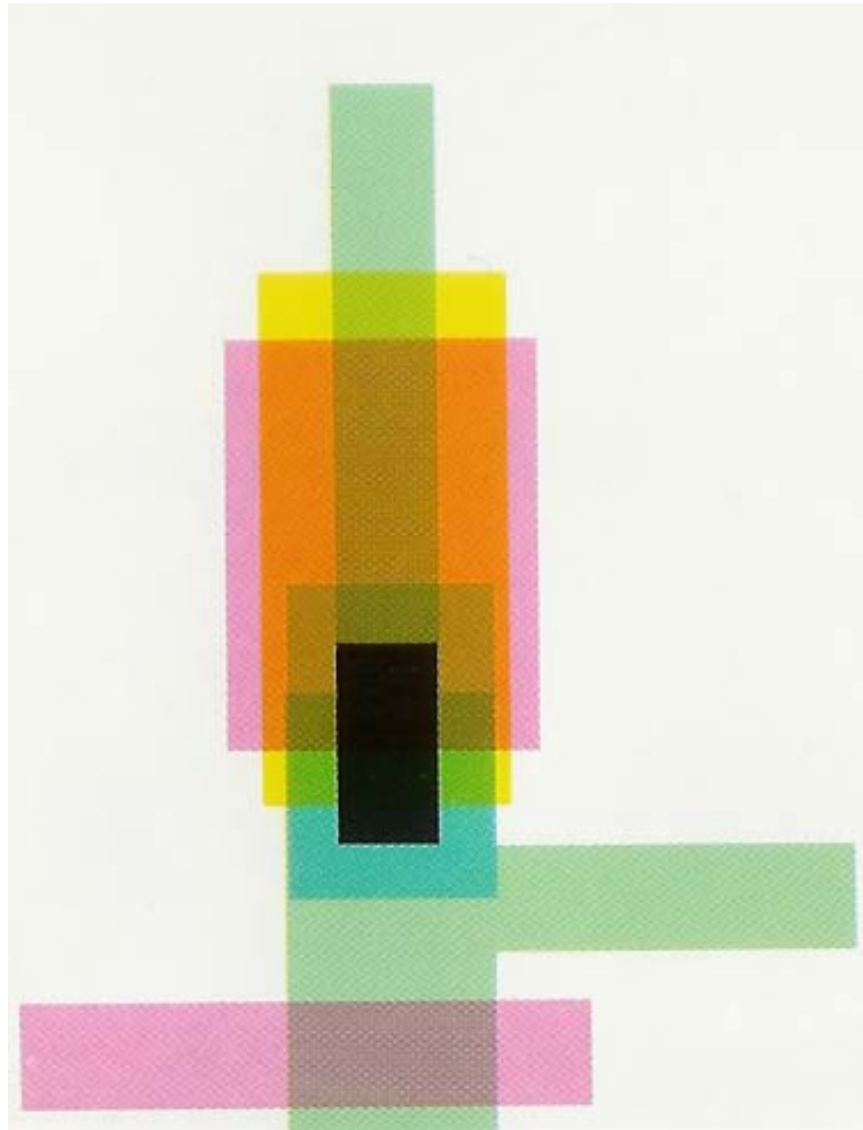
- A resistência de condução do transistor pu deve ser 4 vezes a resistência de condução do transistor pd . Assim, devemos ter:

$$R_{pu} = 4R_{pd}$$

$$\frac{L_{pu}}{W_{pu}} = 4 \frac{L_{pd}}{W_{pd}}$$

Exercício: identificar na figura seguinte as dimensões L_{pu} , W_{pu} , L_{pd} , e W_{pd} e constatar a relação acima.

Porta NÃO - dimensões na escala



Porta NAND

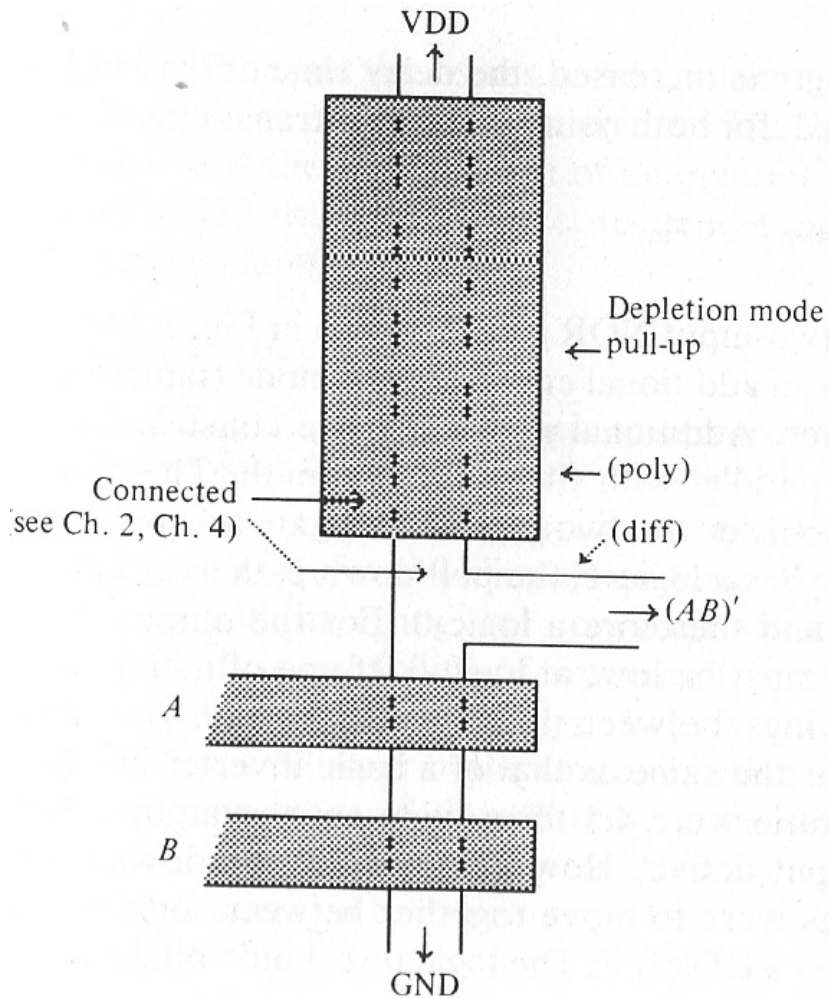


Fig. 1.17 NAND gate, top view of layout.

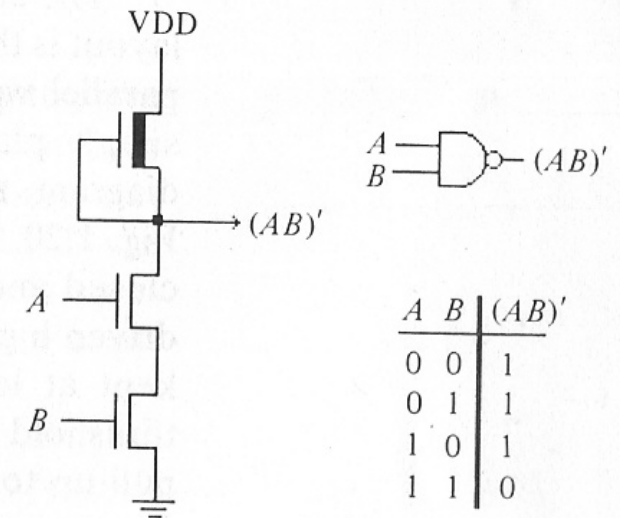


Fig. 1.18 NAND gate circuit diagram, logic symbol, and logic function.

Porta NOR

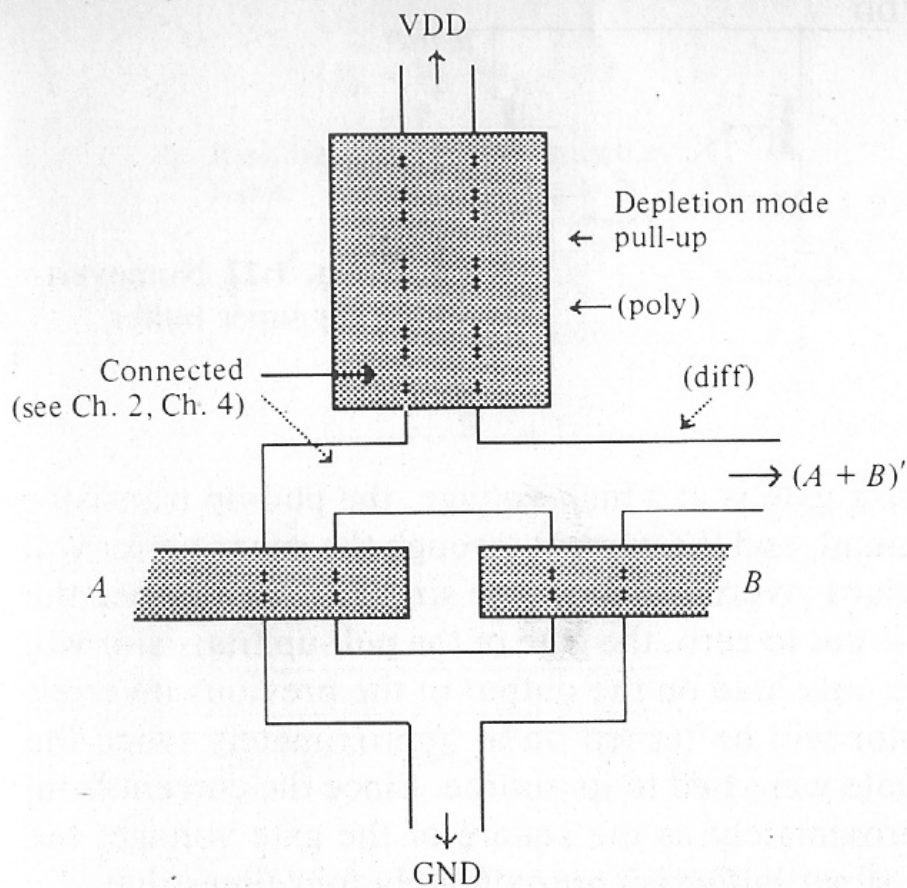


Fig. 1.19 NOR gate, top view of layout.

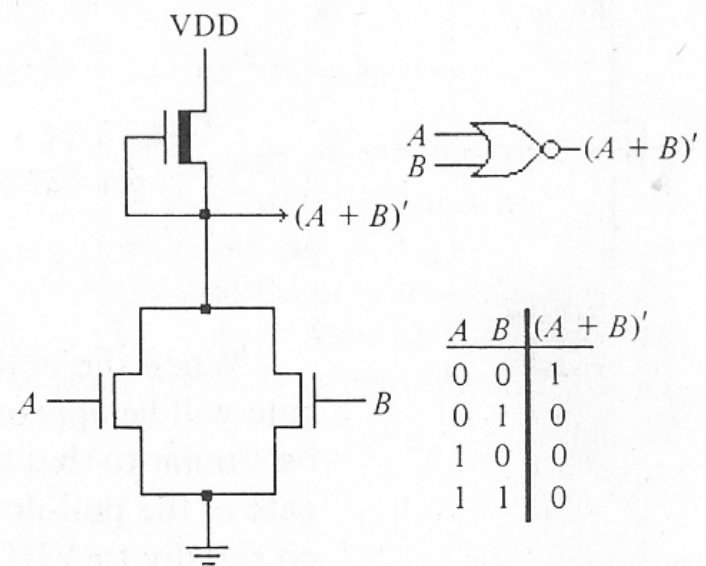
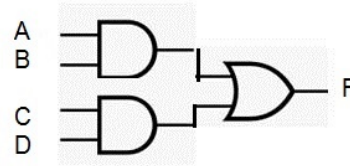


Fig. 1.20 NOR gate circuit diagram, logic symbol, and logic function.

Lógica booleana usando porta NAND

Exemplo: considere a equação lógica expressa na forma normal disjuntiva ou disjunção de cláusulas conjuntivas (uma soma de produtos).

$$F = (A \wedge B) \vee (C \wedge D)$$

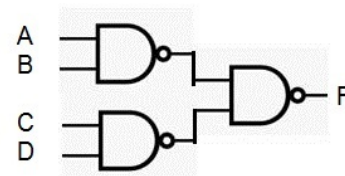


Vamos negar duas vezes o lado direito (que não altera nada):

$$F = \overline{\overline{(A \wedge B) \vee (C \wedge D)}}$$

Aplicamos Lei de Morgan:

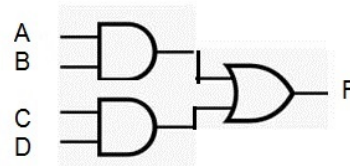
$$F = \overline{\overline{(A \wedge B)} \wedge \overline{(C \wedge D)}}$$



Lógica booleana usando porta NOR

Exemplo: considere de novo a equação lógica:

$$F = (A \wedge B) \vee (C \wedge D)$$



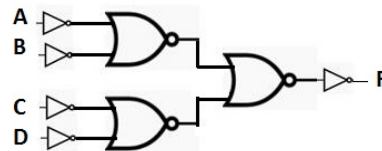
Vamos negar duas vezes o lado direito (que não altera nada):

$$F = \overline{\overline{(A \wedge B) \vee (C \wedge D)}}$$

Aplicamos Lei de Morgan:

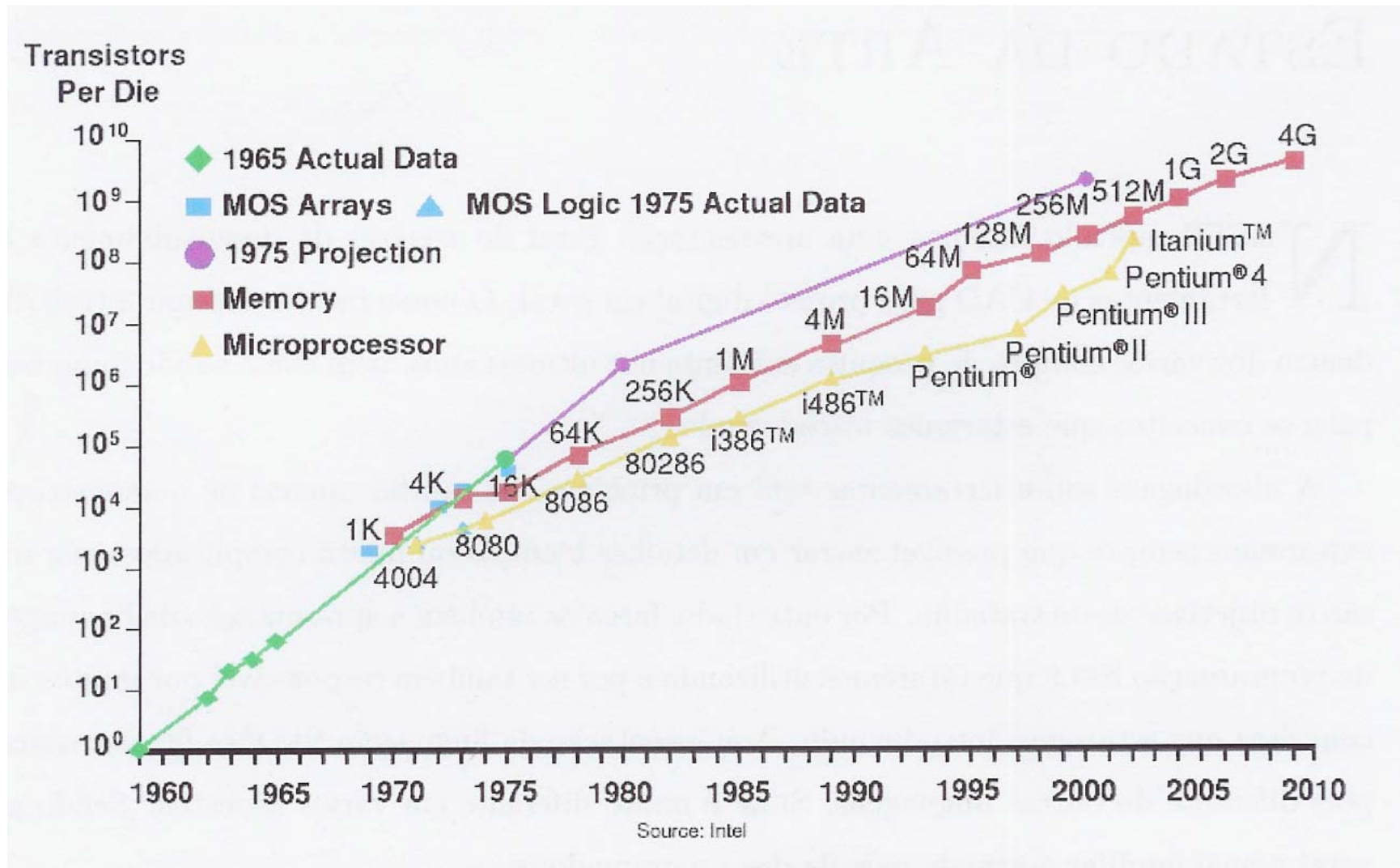
$$F = \overline{\overline{(A \wedge B) \wedge (\overline{C \wedge D})}} = \overline{(\overline{A \vee B}) \wedge (\overline{C \vee D})} = \overline{(\overline{A \vee B})} \vee \overline{(\overline{C \vee D})}$$

$$\text{Portanto } \overline{F} = \overline{(\overline{A \vee B})} \vee \overline{(\overline{C \vee D})}$$



Lei de Moore

"O número de transistores em uma pastilha dobra a cada 18 meses".



Processador Intel desde 1974

<http://computer.howstuffworks.com/microprocessor2.htm>

Name	Date	Transistors	Microns	Clock speed	Data width	MIPS
8080	1974	6,000	6	2 MHz	8 bits	0.64
8088	1979	29,000	3	5 MHz	16 bits 8-bit bus	0.33
80286	1982	134,000	1.5	6 MHz	16 bits	1
80386	1985	275,000	1.5	16 MHz	32 bits	5
80486	1989	1,200,000	1	25 MHz	32 bits	20
Pentium	1993	3,100,000	0.8	60 MHz	32 bits 64-bit bus	100
Pentium II	1997	7,500,000	0.35	233 MHz	32 bits 64-bit bus	300
Pentium III	1999	9,500,000	0.25	450 MHz	32 bits 64-bit bus	510
Pentium 4	2000	42,000,000	0.18	1.5 GHz	32 bits 64-bit bus	1,700
Pentium 4 "Prescott"	2004	125,000,000	0.09	3.6 GHz	32 bits 64-bit bus	7,000

Pastilhas VLSI com bilhões de transistores

- Intel Tukwila quad-core chip(2008): mais de 2 bilhões de transistores - Tecnologia de 65 nm ou 0,065 micrômetro.

<http://news.bbc.co.uk/2/hi/technology/7223145.stm>

- Processador Intel Core i7 usa CMOS de 45 nm ou 0,045 micrômetro.

<http://www.intel.com/products/processor/corei7/specifications.htm>

<http://www.intel.com/technology/45nm/index.htm>

- Em 2016: Intel 22-core Xeon Broadwell-EP com 7,2 bilhões de transistores.

Chip experimental da IBM de 7 nm

- Notícia de julho de 2015: IBM construiu um chip protótipo de 7 nm.
- Usa uma mistura de silício com germânio.

<http://physicsworld.com/cws/article/news/2015/jul/13/computer-chip-features-shrink-to-7nm>

Notação para transistor e portas NMOS

Apresentaremos a seguir ambas as notações para:

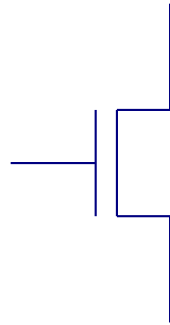
- Transistor MOS
- Porta NOT
- Porta NAND

No lado esquerdo apresentamos a notação sem cor (preto e branco).

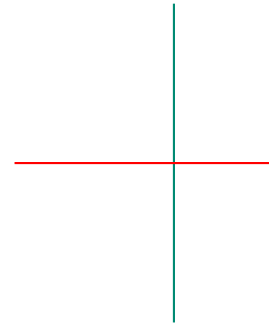
No lado direito apresentamos a notação colorida (diagrama de palito).

Observação: ● Porta NOR é análoga (deixamos como lição de casa :-)

Notação para transistor MOS

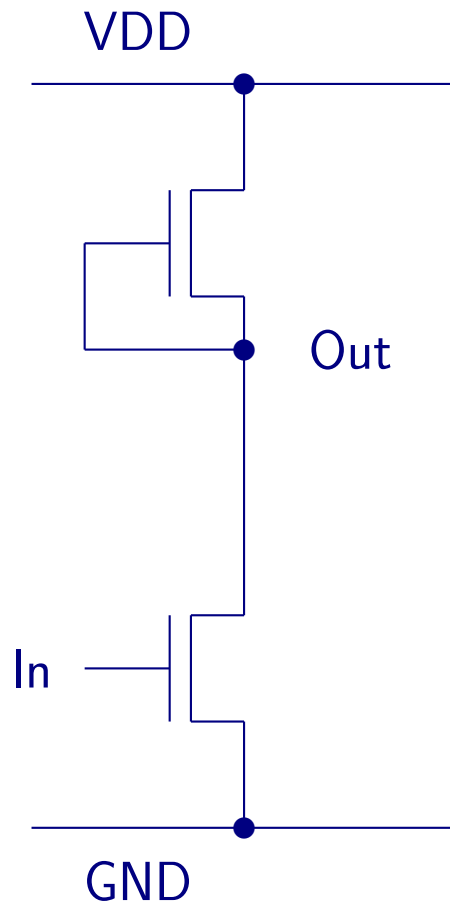


Notação sem cor

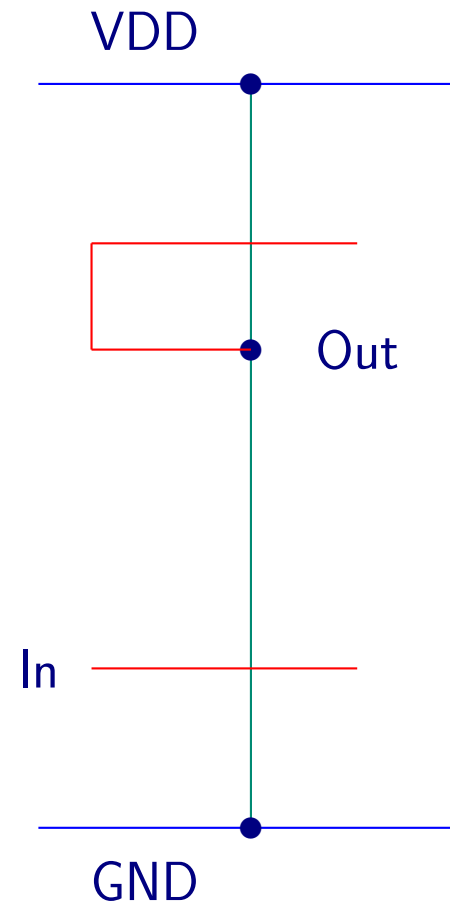


Notação colorida (palito)

Notação para porta NOT

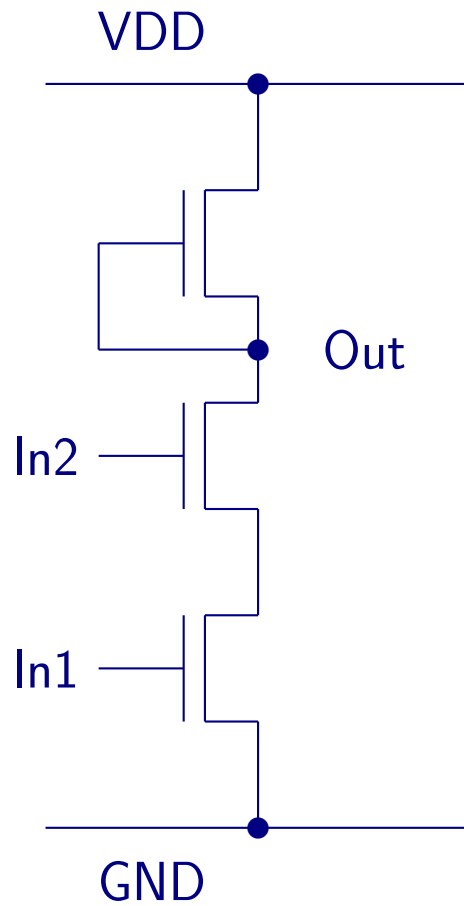


Notação sem cor

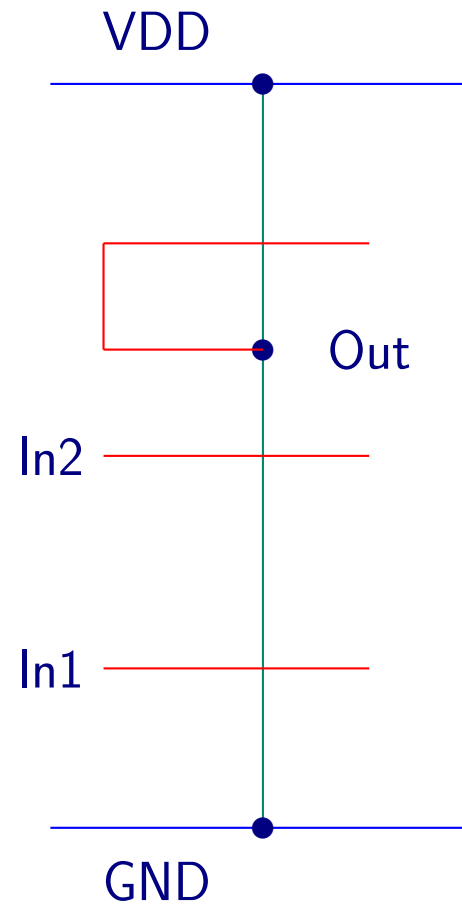


Notação colorida (palito)

Notação para porta NAND



Notação sem cor



Notação colorida (palito)